

NOTICE OF PRELIMINARY REJECTION

APPLICANT(S)

Name Hynix Semiconductor Inc.
Address San 136-1, Ami-ri, Bubal-eub, Ichon-shi
 Kyoungki-do 467-860, Republic of Korea

ATTORNEY(S)

Name Shinsung International Patent & Law firm
Address 2-3F, Line Bldg., Yeoksam-dong, Kangnam-gu
 Seoul 135-080, Republic of Korea

APPLICATION No.

2002-86276

TITLE

STACK GATE ELECTRODE PREVENTED
INTERFACE-REACTION AND METHOD FOR
FABRICATING SEMICONDUCTOR DEVICE
HAVING THE SAME

This application was preliminarily rejected pursuant to Article 63 of the Korean Patent Law based on the following reason. Should there be any opinion against this action, please file a written argument by October 25, 2004. (You can apply for 1-month extension per each case, and we do not notify you of the confirmation for such term extension.)

[REASON]

This invention described in claims 1 to 10 can be easily invented by those skilled in the art as pointed out below. Accordingly, the above-identified patent application cannot be registered pursuant to Article 29, Paragraph 2 of the Korean Patent Law.

[BELOW]

Claims 1 to 5 and 6 to 10 of this invention relate to a gate structure and a method for fabricating a semiconductor device having the same. In accordance with this invention, there is provided a reaction barrier layer containing nitrogen and silicon, wherein a surface density of the nitrogen is greater than approximately 1×10^{15} atoms/cm². However, the Japanese Laid-Open No. 8-186086 disclosed on July 16, 1996 reveals a method for fabricating a semiconductor device, wherein a nitride silicon layer with a size of approximately 0.1 nm to approximately 10 nm is formed on a polycrystalline silicon layer in an atmosphere of ammonia. The gate structure and the fabrication method introduced in this invention is a technology that can be easily predictable by those ordinary people skilled in the art. Thus, it is not regarded that there is a difficulty in obtaining the configuration and means for the purpose of this invention, and as a result, it is viewed that this invention can be easily derivable by those ordinary people skilled in the art.

[Attachment] JP Laid-Open No. 8-186086

Dated this 25th day of August, 2004

Examination Bureau
Examiner, Hoe-Hwan Cheong

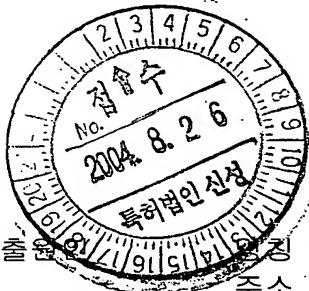
KOREAN INTELLECTUAL PROPERTY OFFICE

Po2H4A·65405

출력 일자: 2004/8/26

Po2H405
발송번호 : 9-5-2004-034558319
발송일자 : 2004.08.25
제출기일 : 2004.10.25

수신 : 서울시 강남구 역삼동 823-30 라인빌딩
2,3층(특허법인신성)
특허법인 신성[정지원] 귀하
135-080



특허청 의견제출통지서

출원번호 주식회사 하이닉스반도체 (출원인코드: 119980045698)
주소 경기 이천시 부발읍 아미리 산136-1

대리인 명칭 특허법인 신성

주소 서울시 강남구 역삼동 823-30 라인빌딩2,3층(특허법인신성)
지정된변리사 정지원 외 2명

출원번호 10-2002-0086276

발명의 명칭 계면 반응이 억제된 적층 게이트전극 및 그를 구비한반도체 소자의
제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지
하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제
25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기
제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장
승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상
의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조
제2항의 규정에 의하여 특허를 받을 수 없습니다.

- 아 래 -

본원의 청구범위 제1-5항 및 제6-10항은 게이트 전극 및 반도체소자의 제조방법에 관한 것으로, 본
원발명의 기술은 질소 표면 밀도가 $1 \times 10^{15}/\text{cm}^2$ 보다 크고 질소와 실리콘을 함유하는 반응방지막(실
리콘질화막)을 형성하는 것이 특징이나, 이는 인용참증(일본특개평 8-186086 : 1996.7.16)의 암모
니아 분위기에서 다결정실리콘막의 표면에 $0.1 \sim 10 \text{nm}$ 의 질화실리콘막을 형성하는 반도체장치의 제조
방법으로부터 당업자라면 누구나 예측 가능한 기술일 뿐 그 기술 구성 및 수단에 대한 각별한 곤란
성이 있다거나 이로 인한 작용효과가 인용참증으로부터 예측되는 효과 이상의 새로운 상승효과가
있다고 보기 어려우므로 이는 당해 기술분야에서 통상의 지식을 가진 자에 의해 용이하게 발명될
수 있는 것입니다.

[첨부]

첨부1 : 인용참증(일본특개평 8-186086) 1부. 끝.

2004.08.25

특허청

전기전자심사국

반도체심사담당관실

심사관 정회환



출력 일자: 2004/8/26

<<안내>>

문의사항이 있으시면 ☎ 042-481-5725 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-186086
 (43)Date of publication of application : 16.07.1996

(51)Int.CI.
 H01L 21/285
 H01L 21/3205
 H01L 29/78

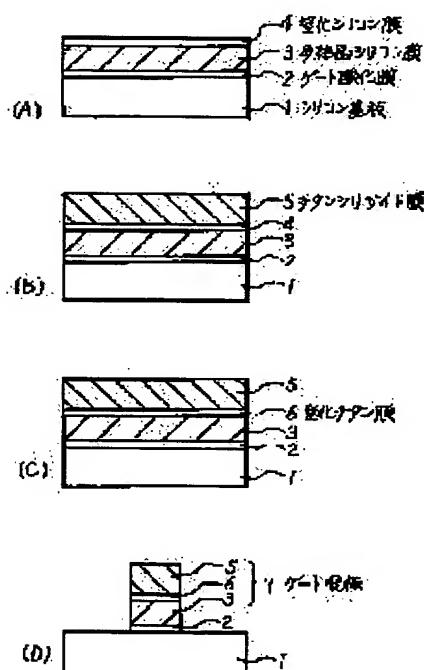
(21)Application number : 06-327573
 (22)Date of filing : 28.12.1994
 (71)Applicant : NEC CORP
 (72)Inventor : URABE KOJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To introduce the nitrogen of high density into the surface of polycrystalline film by successively forming a polycrystalline silicon film a silicon nitride film and a titanium silicide film and making nitrogen in the silicon nitride film react to titanium in the titanium silicide film by heat treatment to form a titanium nitride film.

CONSTITUTION: A gate oxide film 2 and a polycrystalline silicon film 3 in which phosphorus is doped are formed on a silicon substrate 1. Next, a silicon nitride film 4 is formed in the surface of the polycrystalline silicon film 3 in the atmosphere of ammonium by using a quick thermal nitriding method. Next, a titanium silicide film 5 is formed on the silicon nitride film 4 by a sputtering method using a titanium silicide alloy target. A titanium nitride film 6 is formed by making nitrogen in the silicon nitride film 4 react to titanium in the titanium silicide film 5 by high-temperature heat treatment. Next, a gate electrode 7 comprising the titanium silicide film 5, the titanium nitride film 6 and the polycrystalline silicon film 3 is formed by a photolithography and dry-etching technique.



LEGAL STATUS

[Date of request for examination] 28.12.1994
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2616733
 [Date of registration] 11.03.1997
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186086

(43) 公開日 平成8年(1996)7月16日

(61) Int.Cl.

H 01 L 21/285
21/3205
29/78

識別記号

序内整理番号

301 T

F 1

技術表示箇所

H 01 L 21/88

R

29/78 301 G

審査請求 有 請求項の数3 OL (全4頁)

(21) 出願番号

特願平6-327573

(22) 出願日

平成6年(1994)12月28日

(71) 出願人

000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者

占部 鑑児

東京都港区芝五丁目7番1号 日本電気株

式会社内

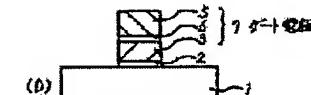
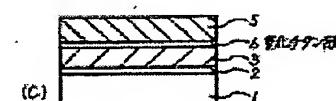
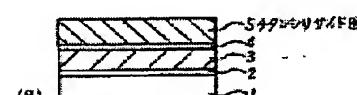
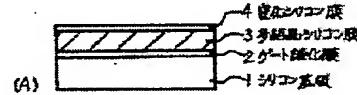
(74) 代理人

弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法**(57) 【要約】**

【目的】 半導体装置の電極及び配線において耐熱性を向上させる。

【構成】 シリコン基板1上にゲート酸化膜2と多結晶シリコン膜3と窒化シリコン膜4を形成する。次で窒化シリコン膜4上にチタンシリサイド膜5を形成したのち熱処理し、窒化シリコン膜中の窒素とチタンシリサイド膜中のチタンを反応させることにより窒化チタン膜6を形成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に多結晶シリコン膜と窒化シリコン膜とチタンシリサイド膜とを順次形成する工程と、熱処理により前記窒化シリコン膜中の窒素と前記チタンシリサイド膜中のチタンとを反応させ窒化チタン膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】 多結晶シリコン膜表面のシリコン原子を窒化する事により窒化シリコン膜を形成する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 多結晶シリコン膜上に CVD 法を用いて窒化シリコン膜を形成する請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関するもので、特にチタンシリサイド膜を用いた低抵抗の電極配線の製造方法に関するものである。

【0002】

【従来の技術】 半導体装置の製造工程において、例えば低抵抗で電気的特性の安定したゲート電極を形成する場合に、チタンシリサイド膜を用いるポリサイド構造が用いられるが、この時チタンシリサイド膜と多結晶シリコン膜の間に相互拡散防止膜として窒化チタン膜を用いる例が特開昭 53-289857 号公報に記載されている。以下図 2 を用いて説明する。

【0003】 まず図 2 (A) に示すように、シリコン基板 1 上にゲート酸化膜 2 とリンがドープされた多結晶シリコン膜 3 を形成する。次で多結晶シリコン膜 3 の表面付近に窒素イオンの注入を行い窒素イオン注入層 8 を形成する。

【0004】 次に図 2 (B) に示すように、窒素イオン注入層 8 上にチタンシリサイド膜 5 をチタンシリサイド合金ターゲットを用いたスパッタ法により形成する。

【0005】 次に図 2 (C) に示すように、高温熱処理により窒素イオン注入層 8 の窒素とチタンシリサイド膜 5 のチタンとを反応させ窒化チタン膜 6 A を形成する。この窒化チタン膜 6 A は多結晶シリコン膜 3 とチタンシリサイド膜 5 の間ににおいてチタン、シリコン及びリンの相互拡散を抑制し安定した電気的特性を得るために設けられたバリヤ層である。

【0006】 次に図 2 (D) に示すように、フォトリソグラフィ技術及びドライエッチング技術を用いて所望の位置にチタンシリサイド膜 5 、窒化チタン膜 6 A 及び多結晶シリコン膜 3 から構成されるゲート電極 7 を形成する。

【0007】

【発明が解決しようとする課題】 上述した従来の半導体装置の製造方法では、以下に示す欠点がある。まずイオン注入法を用いて多結晶シリコン膜に窒素を導入してい

るため、窒素濃度は 1 原子%以下でありその分布は幅をもっている。この為、チタンと結合する窒素が不足しているのでチタンリッチな窒化チタン膜 6 A が形成される。従って、十分な相互拡散防止効果が得られない為、多結晶シリコン中の不純物濃度が変化し、V T 等の特性が変る。また、窒化チタン膜形成に寄与しなかった窒素注入層が残存しているため多結晶シリコン膜と窒化チタン膜との間の界面抵抗が高くなり、ゲート電極 7 の抵抗もあまり下らない。

【0008】 本発明の目的は、低抵抗でかつ電気的特性の安定した電極配線を有する半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に多結晶シリコン膜と窒化シリコン膜とチタンシリサイド膜とを順次形成する工程と、熱処理により前記窒化シリコン膜中の窒素と前記チタンシリサイド膜中のチタンとを反応させ窒化チタン膜を形成する工程を有することを特徴とするものである。

【0010】

【実施例】 次に本発明について図面を用いて説明する。

図 1 (A) ~ (D) は本発明の第 1 の実施例を説明する為の工程順に示した半導体チップの断面図である。

【0011】 まず図 1 (A) に示すように、シリコン基板 1 上に厚さ 5 nm のゲート酸化膜 2 とリンがドープされた厚さ 50 nm の多結晶シリコン膜 3 を形成する。次で急速熱窒化法を用いてアンモニア雰囲気中で 700 ~ 950 °C、1.0 ~ 6.0 秒の条件で多結晶シリコン膜 3 の表面を窒化し、1 ~ 10 nm の窒化シリコン膜 4 を形成する。また、プラズマ窒化法を用いて表面窒化を行ってもよい。

【0012】 次に、図 1 (B) に示すように、窒化シリコン膜 4 上にチタンシリサイド合金ターゲットを用いたスパッタ法により、圧力 2 ~ 15 m Torr、パワー 1 ~ 4 kW、基板温度 25 ~ 50 °C の条件下で厚さ 10 nm のチタンシリサイド膜 5 を形成する。

【0013】 次に図 1 (C) に示すように、例えば 800 °C 以上の高温熱処理を行い窒化シリコン膜の窒素とチタンシリサイド膜 5 のチタンとを反応させ、0.1 ~ 1.0 nm の窒化チタン膜 6 を形成する。この反応により窒化シリコン膜 4 は消滅するが、わずかに残ったとしても電気的特性上問題はない。窒化チタン膜 6 は、多結晶シリコン膜 3 とチタンシリサイド膜 5 の間ににおいて、チタン、シリコン及びリンの相互拡散を抑制し安定した電気的特性を得るために設けられたバリヤ層である。また、この高温熱処理工程はソース・ドレインの不純物活性化工程で代用できる。

【0014】 次に図 1 (D) に示すように、フォトリソグラフィ技術及びドライエッチング技術を用いて所望の

BEST AVAILABLE COPY

位置にチタンシリサイド膜5、窒化チタン膜6及び多結晶シリコン膜3より構成されるゲート電極7を形成する。

【0015】このような半導体装置の製造方法によれば、従来技術に比べて膜厚が薄く高濃度の窒素を含む窒化シリコン膜をチタンシリサイド膜と反応させる事ができる為、チタンと窒素の原子比が1:1に近い窒化チタン膜6を形成する事ができる。従って高温熱処理工程においてチタンシリサイド膜5と多結晶シリコン膜3との間のチタン、シリコン及びリンの相互拡散が窒化チタン膜によって抑制される為、安定した電気的特性を有するゲート電極を得ることができる。

【0016】次に本発明の第2の実施例について説明する。本第2の実施例は窒化シリコン膜をCVD法を用いて形成するものである。

【0017】まず図1(A)に示すように、第1の実施例と同様にシリコン基板1上に5nmのゲート酸化膜2とリンがドープされた50nmの多結晶シリコン膜3を形成する。次にLPCVD法あるいはプラズマCVD法を用いて多結晶シリコン膜3上に0.1~10nmの窒化シリコン膜を形成する。次で窒化シリコン膜上にチタンシリサイド合金ターゲットを用いたスパッタ法により、圧力2~15mT、パワー1~4kW基板温度25~50°Cの条件下で50nmのチタンシリサイド膜を形成する。

【0018】以下第1の実施例と同様に高温熱処理を行い窒化チタン膜を形成したのち、フォトリソグラフィ技術及びドライエッキング技術を用いて所望の位置にチタンシリサイド膜、窒化チタン膜及び多結晶シリコン膜より構成されるゲート電極を形成する。

【0019】本第2の実施例においても従来技術に比べて膜厚が薄く高濃度の窒素を含む窒化シリコン膜をチタンシリサイド膜と反応させる事ができる為、チタンと窒素の原子比が1:1に近い窒化チタン膜を形成する事が

できる。従って高温熱処理工程においてチタンシリサイド膜と多結晶シリコン膜との間のチタン、シリコン及びリンの相互拡散が窒化チタン膜によって抑制される為、安定した電気的特性を有するゲート電極を得ることができる。

【0020】また、本第2の実施例では多結晶シリコン膜上の窒化シリコン膜の形成方法としてLPCVD法を用いているので、急速熱窒化法に比べて2倍程度量産性が向上する。

【0021】尚、上記実施例ではゲート電極の形成の場合について説明したが、低抵抗で安定な特性が要求される他の電極配線に適用できることは勿論である。

【0022】

【発明の効果】本発明による半導体装置の製造方法によれば、多結晶シリコン膜上に窒化シリコン膜を形成する方法として急速熱窒化法あるいはLPCVD法を用いているため、多結晶シリコン膜表面に高濃度の窒素を導入する事ができる。従って、チタンシリサイド膜と多結晶シリコン膜との間に化学量論組成に近い窒化チタン膜が得られるため、高温熱処理工程での相互拡散が十分に抑制される。このため低抵抗でかつ安定した電気的特性を有する電極配線が得られるという効果がある。

【0023】

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明する為の半導体チップの断面図。

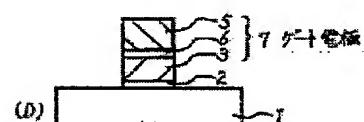
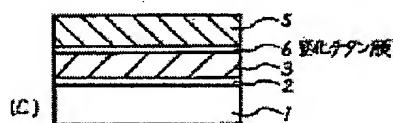
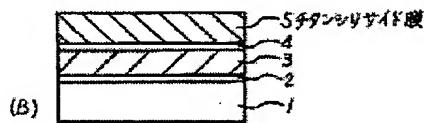
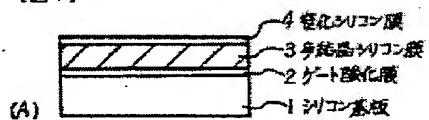
【図2】従来の半導体装置の製造方法を説明する為の半導体チップの断面図である。

【符号の説明】

- 1 シリコン基板
- 2 ゲート酸化膜
- 3 多結晶シリコン膜
- 4 窒化シリコン膜
- 5 チタンシリサイド膜
- 6, 6A 窒化チタン膜
- 7 ゲート電極
- 8 窒素イオン注入層

DESI AVAILABLE COPY

【図1】



【図2】

